

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-354560

(43)公開日 平成11年(1999)12月24日

(51)Int.Cl.⁶

H 01 L 21/60

識別記号

F I

H 01 L 21/92

6 0 2 Z

6 0 4 A

審査請求 未請求 請求項の数19 OL (全 9 頁)

(21)出願番号 特願平10-160357

(22)出願日 平成10年(1998)6月9日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 佐原 隆一

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 下石坂 望

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 中村 嘉文

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 弁理士 前田 弘 (外2名)

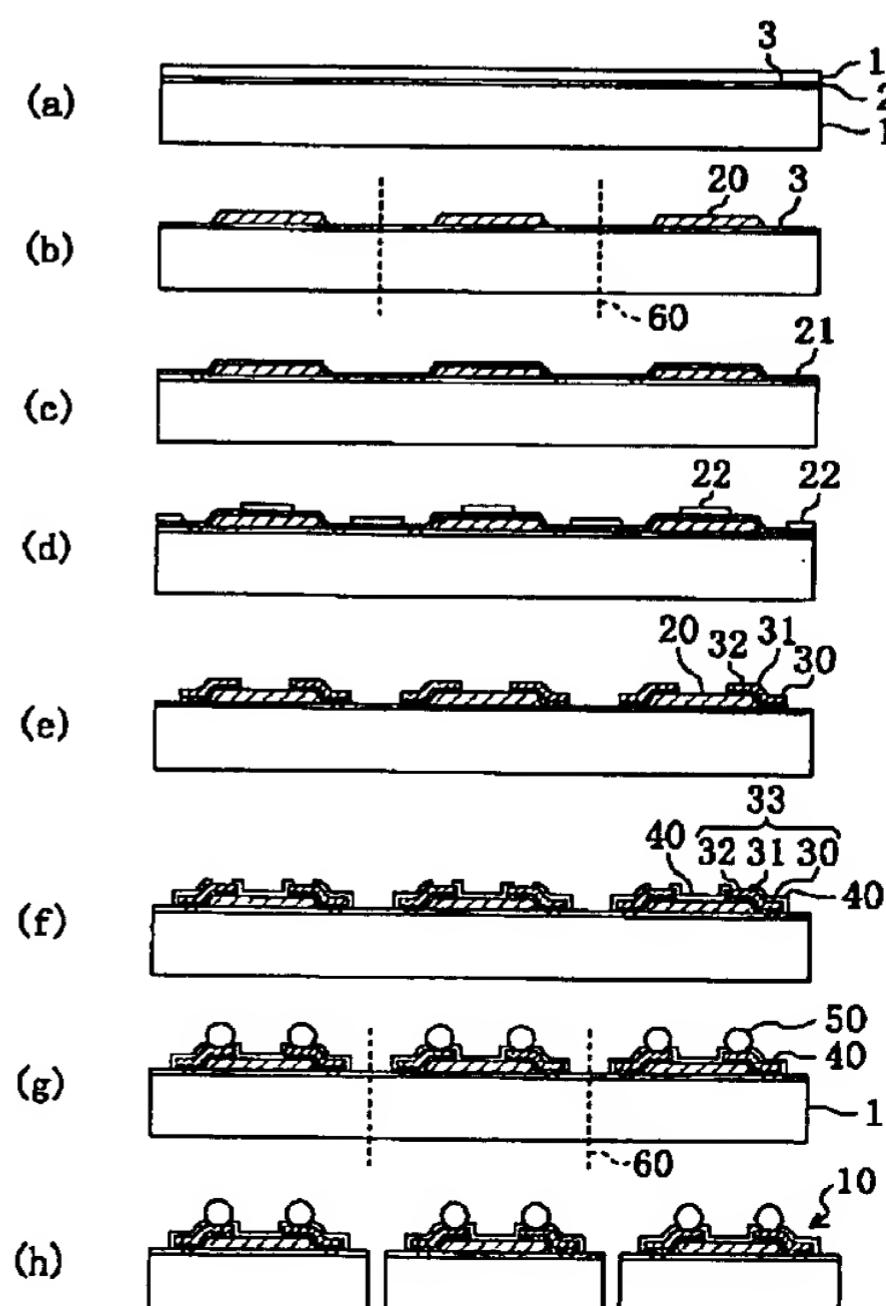
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 高密度実装のために配線が微細化され、小型化され、かつ外部装置と確実に接続される半導体装置を製造する半導体装置の製造方法を提供する。

【解決手段】 複数のチップ領域を有する半導体ウエハ1の主面の全面に感光性と低弾性とを有する下地層15を形成し、散乱光により露光、現像して電極3を開口し、端部でテーパ状の断面形状を持つ絶縁層20を形成する。次に、絶縁層20を有する半導体ウエハ1の主面の全面にスパッタリング法により金属薄膜層21を形成し、めっき用レジストパターン22を形成し、半導体ウエハ1の主面上と絶縁層20上とに電解めっきによりパッド30と配線パターン31とランド32とを同時に形成し、めっき用レジストパターン22を除去する。次に、ランド32を開口して絶縁コート40を形成し、ランド32上へバンブ50を載置し、スクライブライン60に沿って半導体ウエハ1を切断して各半導体チップ10を得る。



E5566

⑨

 Include

MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: US EP WO JP; Full patent spec.

Years: 1990-2001

Text: Patent/Publication No.: JP11354560

[no drawing available]

[Download This Patent](#)[Family Lookup](#)[Go to first matching text](#)**JP11354560**

MANUFACTURE OF SEMICONDUCTOR DEVICE MATSUSHITA ELECTRON CORP

Inventor(s): SAWARA RYUICHI SHIMOISHIZAKA NOZOMI ; NAKAMURA YOSHIFUMI ;
KUMAGAWA TAKAHIRO

Application No. 10160357, Filed 19980609, Published 19991224

Abstract: PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device, whereby a semiconductor device has a miniscale wiring in a smaller size for realizing a high density mounting and is positively connected with an external device.

SOLUTION: A ground layer 15 with photosensitivity and low flexibility is formed entirely on a main surface of a semiconductor wafer 1 having a plurality of chip areas, the ground layer 15 is exposed and developed with scattered light so as to form openings on an electrode 3, and then, insulating layers 20 are formed so as to have tapered sectional shapes on the ends. Next, a metal thin film layer 21 is formed entirely on the main surface of the semiconductor wafer 1 including the insulating layers 20 by using a sputtering method, and plating resist patterns 22 are formed thereon. Further, pads 30, wiring patterns 31, and lands 32 are simultaneously formed on the main surface of the semiconductor wafer 1 and the insulating layers 20 by electrolytic plating, and the plating resist patterns 22 are removed. And then, openings are formed on the lands 32, insulating coatings 40 are formed, bumps 50 are disposed on the lands 32, and the semiconductor wafer 1 are cut along scribing lines 60 so as to form semiconductor chips 10.

Int'l Class: H01L02160;

MicroPatent Reference Number: 000354431

COPYRIGHT: (C) 1999JPO

 Include

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

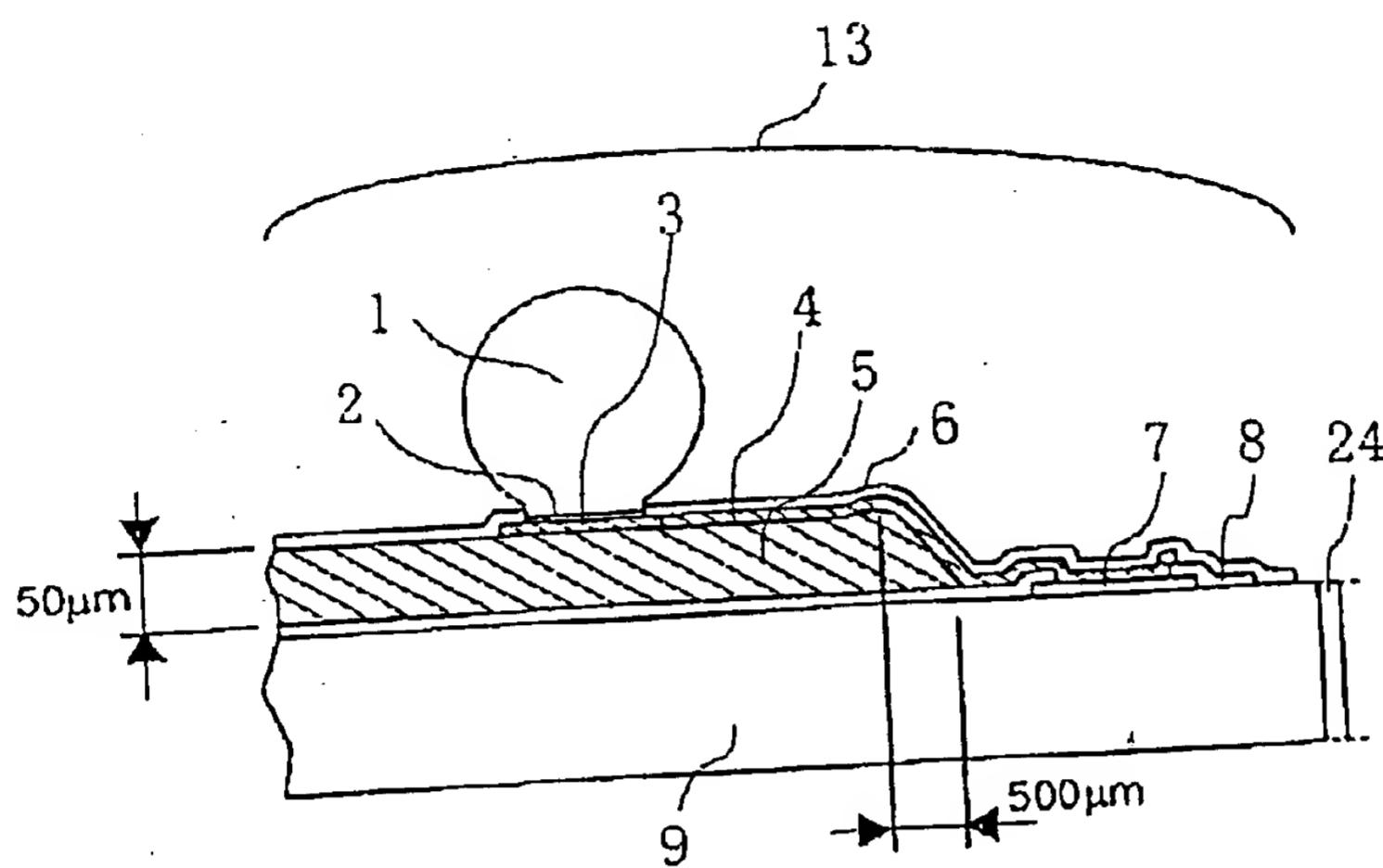
出原書類

ファイル名 = D00004211A1.e1

[書類名] 図面

[図1]

図1



[図2]

図2

